

FUTURE LABS



Consumer-Technik etabliert sich im High Performance Computing: In IBMs Blue Gene/P arbeiten CPUs aus dem Embedded-Markt – und seine Energieeffizienz löst eines der Kernprobleme des Supercomputings.

Foto: Lawrence Livermore National Laboratory

CZ – Welche Merkmale wird in fünf Jahren der welt schnellste Superrechner besitzen?

Simon – Die Nummer 1 in der Top 500 wird ein Cluster unter Linux sein aus Zehntausenden CPUs und dem Message Passing Interface (MPI) als Programmiermodell – über die vergangene Dekade ist sehr viel Legacy-Software entstanden, die auf MPI basiert. Und die wird sicher in den nächsten fünf Jahren nicht komplett neu geschrieben. Der entscheidende Fortschritt findet in den Knoten statt: Sie werden aus Multicore-Prozessoren mit 100 oder mehr Kernen bestehen.

CZ – Der Grand Challenge Report der Technischen Informatik geht sogar davon aus, dass 2020 512 Kerne auf einem Chip arbeiten.

Simon – Es sind theoretisch künftig auch 1000 oder 2000 Kerne möglich – und die architekturelle Variabilität wird zusätzlich ansteigen durch heterogene Manycore Chips. Die Herausforderung besteht nun darin, die bestmögliche Performance aus den Multicore-Prozessoren herauszuholen.

CZ – Das Moore'sche Gesetz hat also Bestand?

Simon – Ja, nur in anderer Form: Die Zahl der Cores pro Chip verdoppelt sich alle ein bis zwei Jahre. Der Wen-

Supercomputing-Experte Simon über den Exascale-Rechner von 2019

„Die Programmierbarkeit von Multicores fordert uns heraus“

„Um 2019 ein Exascale-System anzutreiben, bräuchten wir 150 Megawatt“, – traditionelle Architekturansätze lassen sich also laut Professor Horst Simon nicht extrapolieren. Auch die Multicore-Architektur fordert mit zwei Flaschenhälsen den Erfindergeist heraus, so der Supercomputing-Experte aus Berkeley.

depunkt kam 2004, als Intel ankündigte, die Leistungssteigerung der Chips nicht mehr durch höhere Takt-raten erzielen zu wollen, sondern durch die Integration von immer mehr Kernen auf den Chips. Bei dieser Entwicklung werden künftig die Desktop Commodity-PCs nicht mehr länger die wirtschaftlichen Treiber sein.

CZ – Warum nicht?

Simon – In den entwickelten Industriestaaten werden PCs nur noch ausgetauscht – Wachstum verzeichnet dagegen die Embedded-Technologie in der Consumer-Elektronik wie Handys, Spielkonsolen oder HDTV. Hier sind nicht nur die Technologiezyklen sehr schnell, es werden auch zwei Randbedingungen adressiert, die im HPC eine hohe Bedeutung gewinnen: Energiesparsamkeit und ein raumsparendes Packaging.

CZ – Der welt schnellste Rechner Roadrunner integriert in den Knoten IBM-Cell und Opteron-Blades. Wird künftig ein derartiger Mix Standard?

Simon – Diese spezielle Architektur wohl nicht, aber Roadrunner ist das perfekte Beispiel für das, was auf uns zukommt: Wir müssen mit zwei Levels von Parallelismus umgehen – auf Ebene des Clusters zwischen den Knoten und auf Ebene der Multicores im einzelnen Knoten. Roadrunner gibt den Anstoß intensiv darüber nachzudenken, wie derartige Maschinen zu programmieren sind.

CZ – Die Sandia National Labs haben Algorithmen auf Multicores getestet – der Chip mit 16 Kernen leistete nur noch so viel wie einer mit zwei. Was ist los?

Simon – Die Multicore-Architektur besitzt tatsächlich zwei Flaschenhälse – die On-Chip- und die Off-

Chip-Bandbreite. Das erste Problem rührt daher, dass das Verhältnis Memory pro Core nicht in gleichem Maße wächst wie bisher bei Memory pro Prozessor – wir steigern also die Zahl der Kerne viel schneller als das assoziierte Memory-Volumen. Die Off-Chip-Bandbreite halte ich aber für die größere Designrestriktion. Die Experten überlegen, die Daten mit optischer Technologie vom Chip zu bekommen.

CZ – Die HPC-Gemeinde hat ja eine lange Tradition im Umgang mit Parallelität. Gibt es hier nicht Ansätze, um die Power von Multicore-CPU's auf das Anwendungsniveau zu bringen?

Simon – Tatsächlich hat die HPC Community schon Konzepte vorgelegt wie beispielsweise das Auto-Tuning. Aber es ist schwer vorherzusagen, woher

die entscheidende Lösung kommt. Das Tool könnte ebenso im kommerziellen Umfeld oder in einem privaten Hack-Projekt entstehen – Linux war 1993 auch nur ein Hobby-Produkt mit ein paar Anhängern, heute fahren die meisten Systeme in der Top 500 eine Linux-Version.

CZ – Was leistet denn das erwähnte Auto-Tuning für die Parallelverarbeitung?

Simon – Der Ansatz holt aus den zunehmend komplexeren Single-Prozessor-Architekturen mehr Leistung, indem der Computer an den entsprechenden Stellschrauben dreht. Meine Kollegen an der UC Berkeley – darunter David Patterson, Kathy Yelick und Samuel Williams – haben das Auto-Tuning auf die Multicore-Ebene skaliert und zwei Ergebnisse erzielt: Sie haben eine Beschleunigung der Multicore-Architekturen erreicht – bei IBMs Cell sogar um das 20- bis 130-Fache. Noch wichtiger: Ihnen ist das Auto-Tuning über verschiedene Architekturen hinweg gelungen – Sun-Niagara2, Intel-Quadcore, IBM-Cell, Nvidia GTX280, AMD-Barcelona. Mit dem Auto-Tuning erreichen wir also für Multicores Portabilität und Performance.

CZ – Ist der Multicore-Komplex bei den Experten für Entwicklungswerkzeuge auf dem Radar?

Simon – Die HPC Community hat die Herausforderung schon fest im Blick – beispielsweise konzentrieren sich sicher drei Viertel der Experten am LBNL auf die Parallelität. Aber die gesamte Community wacht gerade erst auf und denkt darüber nach, welche Konsequenzen Multicore-Technik für die verschiedenen Disziplinen bringt. Wie werden sich diese Anwendungen verändern? Wie das Machine Learning, die Signalverarbeitung oder die Datenbanksysteme?

Beispielsweise könnte das Konzept der Transaktion aus der Datenbank-Welt ein Werkzeug für die Bearbeitung des Multicore-Phänomens werden.

CZ – Roadrunner, Cray XT5, Baker – glauben Sie, existierende Architekturen haben schon das, was wir für das Exascale-Computing brauchen?

Simon – Nein, zwischen uns und dem Exascale-Computing liegen noch zu viele technische Unbekannte. Ein Report der US-Forschungsbehörde DARPA hat im Rahmen einer Exascale-Roadmap Szenarien bei den Komponenten untersucht – wie Dichte der Festplatten, Fortschritte bei den DRAMs, den Verbindungsarchitekturen oder Multicores. Das Ergebnis: Folgen wir dem traditionellen Cluster-Ansatz, wie er beispielsweise durch die Cray XT5 charakterisiert ist, werden wir das Ziel schwerlich erreichen. Die Chance besteht darin, den Technologiepfad mit Low Power- und integrierten Prozessoren zu beschreiten, wie ihn IBM mit Blue Gene eröffnet hat. Aber auch hier muss noch sehr viel Forschung betrieben werden. rr

Professor Simon moderiert auf der International Supercomputing Conference 2009, die vom 23. bis 26. Juni in Hamburg stattfindet: Seite 21

Programmiersprache UPC

C-Dialekt verteilt Threads auf Cores und Knoten

Die Compiler-Gruppe Berkeley UPC – hier sind Experten des Lawrence Berkeley National Lab (LBNL) und der UC Berkeley vereint – entwickelt als OpenSource eine portable High Performance-Implementierung von Unified Parallel C (UPC) für parallele Rechnerarchitekturen: Multicore-Systeme, PC-Cluster und Cluster mit Shared Memory-Multiprozessoren.

Worin der Reiz dieses Dialekts der Programmiersprache C besteht? „Es wäre ineffizient, MPI bei einem Single Chip mit 100 Kernen zu verwenden“, erklärt Professor Horst Simon vom LBNL: „Es müsste in jedem der Cores laufen – für die Replikation sämtlicher Datenstrukturen fehlt natürlich Memory.“ Bei UPC sei dagegen die Latenz der Kommunikation gering: „Eine verteilte Anwendung wird in UPC-Threads aufgeteilt und auf Kernen oder Knoten ausgeführt.“ rr

Low Power-Prozessoren

Höher integrierte Technik senkt den Energiebedarf

„Die Extrapolation klassischer Technologiekurven bringt uns wegen des extremen Energiebedarfs nicht zum Exaflop“, erklärt Professor Horst Simon. Die in zehn Jahren erforderlichen 150 Megawatt könnten sich vielleicht die National Labs der USA leisten, aber keine durchschnittliche Uni. „Dieses Problem adressiert die eingebettete Consumer-Technik – höher integrierte Technologie reduziert die bei skalierenden Systemen steigende Zahl der Komponenten und damit den Energiebedarf.“ Gleichzeitig stelle die reduzierte Komplexität Zuverlässigkeit und Fehlertoleranz sicher. „IBMs Blue Gene-Systeme verwenden Low Power PowerPCs aus dem Embedded-Markt, was zur höchsten Effizienz beim Stromverbrauch geführt hat – und zur allgemeinen Überraschung ist Blue Gene trotz der Komplexität auch zuverlässig.“ rr



Foto: Lawrence Berkeley National Laboratory

Professor Horst Simon ist Associate Laboratory Director for Computing Sciences des renommierten Lawrence Berkeley National Lab